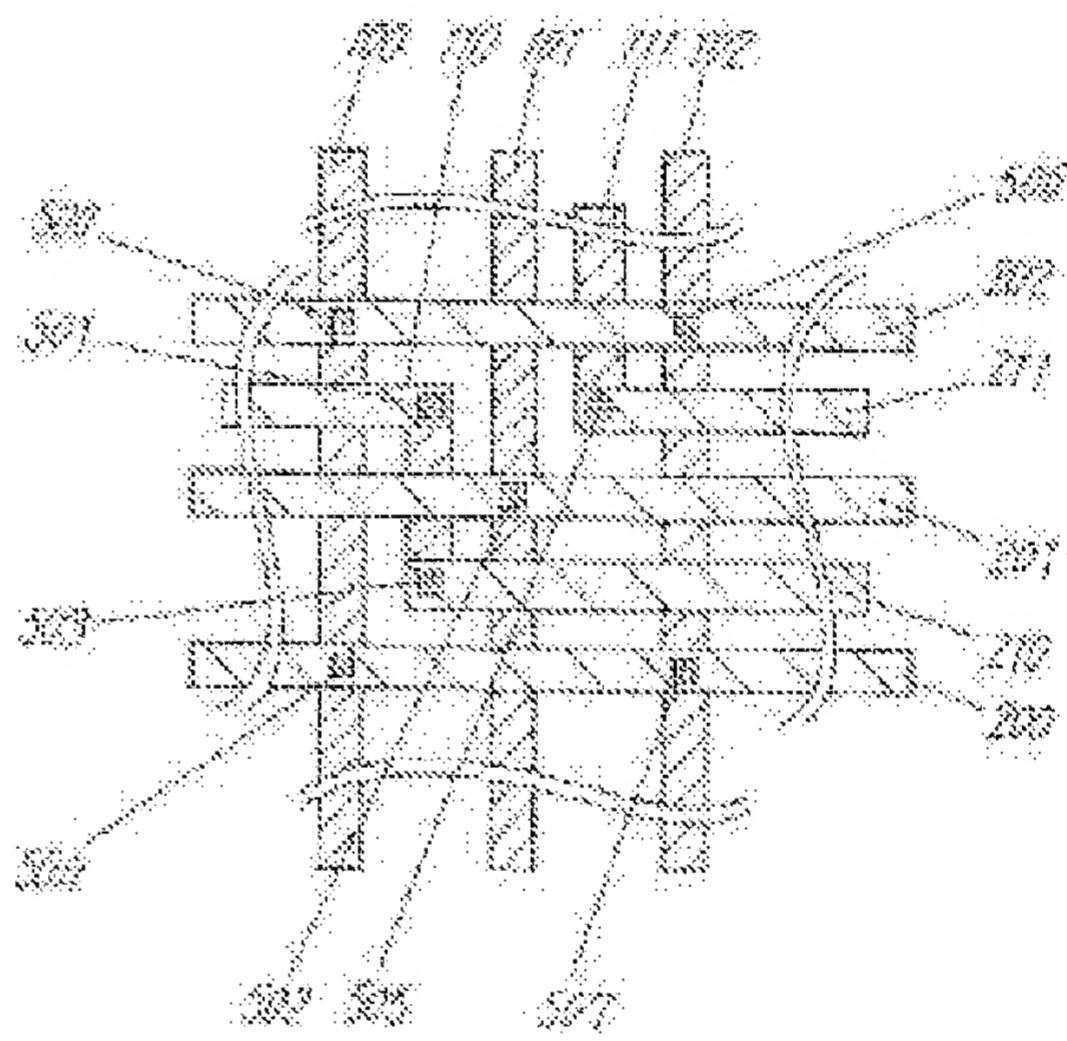


SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP2001127162 (A)
Publication date: 2001-05-11
Inventor(s): NARUMI NORIMASA +
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD +
Classification:
- **international:** G06F17/50; H01L21/82; H01L21/822; H01L27/04; G06F17/50; H01L21/70; H01L27/04; (IPC1-7): G06F17/50; H01L21/82; H01L21/822; H01L27/04
- **europen:**
Application number: JP19990302153 19991025
Priority number(s): JP19990302153 19991025

Abstract of JP 2001127162 (A)

PROBLEM TO BE SOLVED: To provide a layout method of a semiconductor integrated circuit for reducing influences of a cross talk. **SOLUTION:** A minimum interval is made so as to pass only one wiring therebetween, and power supply (VDD, VSS) wirings at a minimum line width are disposed in a vertical axial direction in n layers and in a horizontal axial direction in (n+1) layers to form a lattice-like shield, which is wired with a signal line. Furthermore, when (n-1) layers and (n+2) layers are used in a multilayer wiring of three layers or more, the power supply wiring is disposed in the signal line of the (n+1) layer, to shield vertically. Incidentally, a wiring may be made in the (n+1) and (n-1) layers in the vertical direction and in the n and (n+1) layers in the horizontal direction.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-127162

(P2001-127162A)

(43)公開日 平成13年5月11日 (2001.5.11)

(51)Int.Cl.⁷

識別記号

F I

テマコト⁷(参考)

H 01 L 21/82

H 01 L 21/82

W 5 B 0 4 6

G 06 F 17/50

G 06 F 15/60

6 5 8 V 5 F 0 3 8

H 01 L 27/04

6 5 8 H 5 F 0 6 4

21/822

H 01 L 27/04

D

審査請求 未請求 請求項の数 3 OL (全 5 頁)

(21)出願番号

特願平11-302153

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成11年10月25日 (1999.10.25)

(72)発明者 鳴海 典将

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

F ターム(参考) 5B046 AA08 BA06

5F038 BH10 BH19 CA07 CA16 CD02

CD05 EZ20

5F064 EE09 EE14 EE16 EE22 EE23

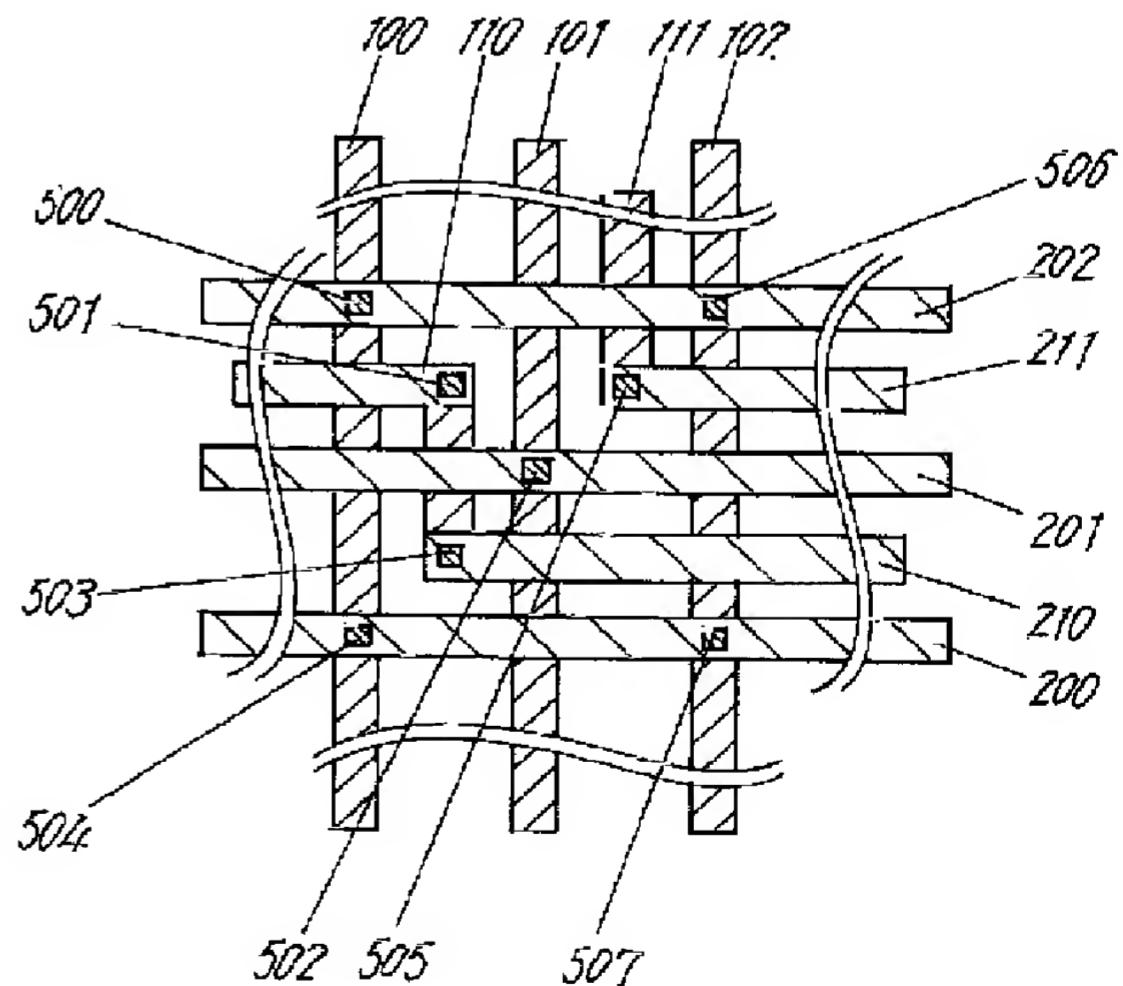
EE46 EE52

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 クロストークの影響を低減させるための半導体集積回路のレイアウト方法を提供する。

【解決手段】 間に配線が一本通れるだけの最小の間隔を空けて最小線幅の電源 (VDD, VSS) 配線を n 層で縦軸方向、n + 1 層で横軸方向に配置し格子状のシールドを形成しておき、その間に信号線を配線する。また、3 層以上の多層配線において n - 1 層、n + 2 層を用いる場合は、n、n + 1 層の信号線上に電源配線を配置し、上下にもシールドを施すようにする。なお縦方向を n + 1、n - 1 層、横方向を n、n + 1 層で配線しても構わないものとする。



【特許請求の範囲】

【請求項1】少なくとも2つ以上の配線層を有する半導体集積回路において、1つの配線層で一方向に最小配線幅、最小配線間隔で等間隔に1本の電源配線、信号線、接地配線、信号線が繰り返し配置されており、かつその垂直方向にもう1つの配線層で1本の電源配線、信号線、接地配線、信号線、を繰り返し配置されたレイアウト構造を有することを特徴とする半導体集積回路。

【請求項2】少なくとも3つ以上の配線層を有する半導体集積回路において、下位の配線層に対し、上位層で垂直方向に電源配線、信号線、接地配線を繰り返す請求項1に記載の半導体集積回路。

【請求項3】信号線と電源および接地配線の配線間距離、配線幅を変えた請求項1、請求項2に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は信号線間の干渉を防ぐ半導体集積回路のレイアウトに関するものである。

【0002】

【従来の技術】平行配線において隣り合う信号線の並走距離が長くなると、隣接する信号線の干渉を受け易くなりクロストークが発生するため、十分な配線の間隔をとるか、固定電位配線により囲み込むことで干渉を防いでいた。

【0003】

【発明が解決しようとする課題】ディープ・サブミクロン化が進む今日においては、配線の間隔が狭くなっているため、平行配線長があまり長くなくとも隣接する配線の干渉を強く受けてしまう傾向にある。

【0004】一方、一般的にレイアウトデータから遅延情報を抽出して実遅延シミュレーションを行ない設計にフィードバックする設計手法(Back Annotation:以下BAと略す)があるが、配線間隔の狭まりによる影響が出てきている。

【0005】ここで一般的な信号線として図7(a)に示すブロック図のバッファ間の配線がある。ba1、ba2、bb1、bb2、bc1、bc2はバッファであり、ba1からba2、bb1からbb2、bc1からbc2へ接続された配線w1、w2、w3は配線長が長い平行配線である。この入力段のバッファba1、bb1、bc1に与える信号として図8の(a)逆位相信号、(b)同位相信号を与える。bb1からbb2までの信号の伝達時間を調べた結果が図9である。縦軸が信号伝達時間、横軸が配線の間隔であり、(A)は逆位相信号を与えたもの、(B)は同位相信号を与えたもので、(C)は図7(b)のブロック図に示すように3本の信号線w1、w2、w3の間に固定電位配線を挿入し、かつ入力信号として図8(a)の逆位相信号を与えたもの、(D)は図7(a)に示すブロック図の回路の

レイアウトデータから得た遅延情報によるシミュレーションの結果である。

【0006】図9のグラフにおいて(A)、(B)測定結果と(D)のシミュレーション結果に大きな差があるのに対し、(C)の信号線間に固定電位配線を挿入した場合は、(D)と非常に近い値が得られている。これは実遅延シミュレーションでは遅延情報として抽出されているのは、配線の抵抗成分や容量成分であって、動的に変化するクロストークによる遅延は反映されない為である。このように入力信号パターンによって遅延時間が異なってくるとBAとして成り立たず、これまでと同様に実回路の動作を保証することができない。

【0007】これらのことから、クロストークによる遅延時間変動に左右されないレイアウト、または新たなBAの手法を構築する必要がある。

【0008】しかしながら、この課題を解決するために配線幅や配線間隔を大きくすると微細化によるメリットが小さく、また固定電位配線によるシールド配線は配線間の干渉を防ぐには有効であるが、面積を増大させる一要因になる。

【0009】

【課題を解決するための手段】この課題を解決するためには、本発明の半導体集積回路は、電源および接地配線により1本の信号線を挟み込むことで隣り合う配線からの干渉を防ぎ、かつこれを電源として利用することを特徴とする。

【0010】

【発明の実施の形態】以下、本発明の第一の実施形態について、図面を参照しながら説明する。

【0011】図1は請求項1に係る発明の構成図であり、縦方向の配線100～102、110、111は例えば1層メタル、横方向の配線200～202、210、211、212は例えば2層メタルであり、500～507は1層メタルと2層メタルを繋ぐヴィアである。ここで配線110、111、210～212は信号線であり、その間を最小間隔だけ開けて、最小線幅の電源配線100、102、200、202と接地配線101、201が交互に配線されており、必ず1本の信号線が電源配線と接地配線により挟まれるように構成されている。このように一方向に電源配線、信号配線、接地配線、信号配線、電源配線を繰り返し、立体的なメッシュ状の電源および接地配線で信号線を囲むことで信号線同士の干渉を防ぐことができる。なお縦方向を2層メタル、横方向を1層メタルで配線しても構わないものとする。また電源配線および接地配線の配線幅、信号線との配線間隔は任意とする。

【0012】次に図2は請求項3に係る発明の構成図であり、図1に配線層を1つ加えたものである。150、151、160、161は例えば1層メタル、250、251、260、261は例えば2層メタル、350、

351、360、361は例えば3層メタルであり、160、161、260、261、360、361は信号線、151、251、351は電源配線、150、250、350は接地配線である。3層は1層、2層と同様に電源配線、信号線、接地配線の繰返しで構成されている。また3層の信号線下には1層の電源配線もしくは接地配線がくるように配置し、上下の配線間の干渉を防ぐようとする。また4層構造においては同様に3層の垂直方向に電源配線、信号線、接地配線を繰り返し、信号線下に電源配線もしくは接地配線を配置する。この繰り返しにより少なくとも3層以上の多層化に対応する。なお縦方向を2、4層、横方向を1、3層で配線しても構わないものとする。また電源配線および接地配線の配線幅、信号線との配線間隔は任意とする。

【0013】次に本発明の第二の実施形態としてブロック間配線での適用例について述べる。

【0014】図3はブロック間においてメッシュ状固定電位配線を配置したものである。ここで600～608は例えば電源配線、700～707は例えば接地配線であり、各々はヴィアで繋がり、メッシュ状の固定電位配線網を形成している。また固定電位配線間の破線800～815を使って各ブロック間の接続を行なう。

【0015】図4はメッシュ状固定電位配線による信号線間の干渉を防ぐ半導体集積回路の生成フローであり、機能ブロックの仮配置、信号線の自動配線、メッシュ状固定電位配線の生成、コンパクション処理の4つのステップから成る。

【0016】まずははじめに予め作成された機能ブロックの仮配置を行なう(1)。このとき機能ブロック間は配線する領域を確保するため十分に開けておく。次に機能ブロック間のスペースに例えばデザインルールで定められた最小配線ピッチの2倍の配線ピッチにより信号線の自動配線を行なう(2)。これにより信号線間に配線を追加できるスペースを確保する。次に、信号線間にここでは最小配線ピッチの4倍の配線ピッチでx軸方向に例えば1層アルミ、y軸方向に例えば2層アルミの配線を配置し、お互いの交点にヴィアを打ち、メッシュ状の配線を行なう(3)。これを基幹電源配線につなげる。また4倍の配線ピッチで配線しているため、信号線の両脇にあったスペースは、片方だけ埋まっている状態になる。そのスペースを埋めるように、同様にしてメッシュ状の配線を行ない、基幹接地配線と接続することで、信号線をメッシュ状の固定電位配線で囲む。その後、得られたレイアウトに対し、デザインルールで定められたピッチにコンパクションを行なうことで、機能ブロックと配線との間隔を縮め、レイアウト面積を最適化する(4)。

【0017】図5は配線効率を優先させた場合のレイアウト図である。あらかじめ遅延が大きくなることが予測される信号線を指定し、まず指定した信号線からブロッ

ク間の適当な位置、例えばブロック間の中央に配線を行ない、かつ固定電位配線網で囲む。その後に他の指定外の信号線を、メッシュ状固定電位配線網の外の空いている配線領域WA1～WA3に配線させることにより、面積を抑えることができる。

【0018】なお図6は本発明のレイアウト構成を用いて論理回路を構成したものである。ここで論理回路1はインバータ、論理回路2はバッファを構成したものであり、論理回路構成部分を1層メタルで構成し、セル間の接続を2層以上で配線してある。また2層メタルまで引き上げられた入出力端子、入力1、出力1、入力2、出力2の位置を、入出力端子間に1本以上の固定電位配線が入る位置に配置してある。なお入出力間に入る固定電位配線の数が2本以上の場合は固定電位配線間に1本の信号線が通せるだけの間隔を開けておく。つまり入出力端子間がn本の固定電位配線と(n-1)本の信号線(ここでnは1以上)が通るだけ間隔を開け、かつ並列に配置した時に、セル間に1本の固定電位配線が通るようにセル幅を決定してやる。このような構成でスタンダードセルを作成し、このセルライブラリを用いてブロックレイアウトを行なえば、セル上にもメッシュ状の固定電位配線網を形成できるので、より半導体集積回路全体で電源の安定化を行なうことができる。

【0019】

【発明の効果】本発明は電源配線と接地配線により1本信号線を挟み込むことで、隣り合う信号線間の干渉を防ぎ、動的な遅延要因を抑えることが出来るため、新たなBA手法を確立することなくシミュレーションによる実回路の動作保証を行なうことができる。

【0020】また従来のシールドと同様に面積の増加に寄与するものの、単一な固定電位配線による従来のシールドとは異なり、電源配線と接地配線を用いているため、シールド箇所が増えるほど電源および接地配線が増えるので、内部電源電圧の安定化を図ることができる。

【0021】また配線する方向を一方向に固定し電源配線、信号線、接地線、信号線、電源配線を繰り返し、配線が垂直に交わるように層を増やしていくことで、効率よく信号線にシールドを施し、内部電源電圧の安定化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施形態におけるメッシュ状固定電位配線の構成図

【図2】本発明の第一の実施形態における多層メッシュ状固定電位配線の構成図

【図3】ブロック間配線とメッシュ状固定電位配線の構成図

【図4】メッシュ状固定電位配線の生成フロー図

【図5】配線効率を優先した場合のブロック間配線とメッシュ状固定電位配線の構成図

【図6】固定電位配線挿入を容易にするセルの構成図

【図7】一般的な平行配線を有する回路図

【図8】図6の回路の信号伝達時間を示す図

【図9】入力信号パターンとグラフの対応表図

【符号の説明】

100～102、110、111、150、151、1
60、161 n層メタル配線
200～202、210、211、250、251、2
60、261 n+1層メタル配線
500～507 ヴィア

350、351、360、361 n+2層メタル配線

B1～B3 機能ブロック

600～608、650～657 電源配線

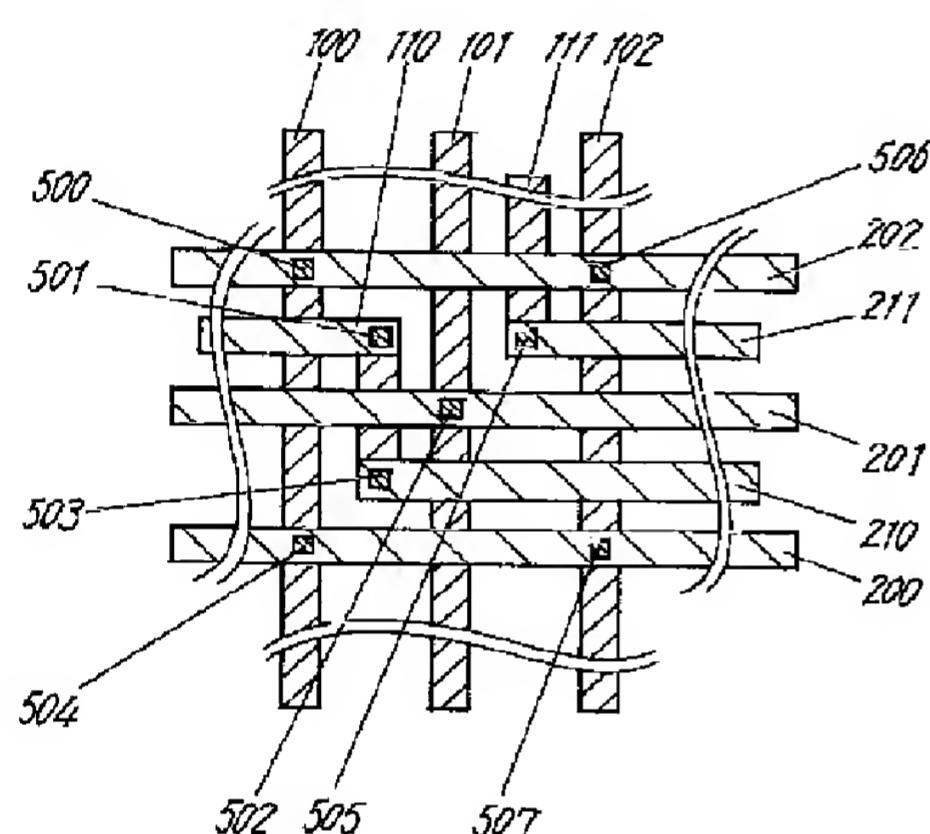
700～707、750～756 接地配線

WA1～WA3 配線領域

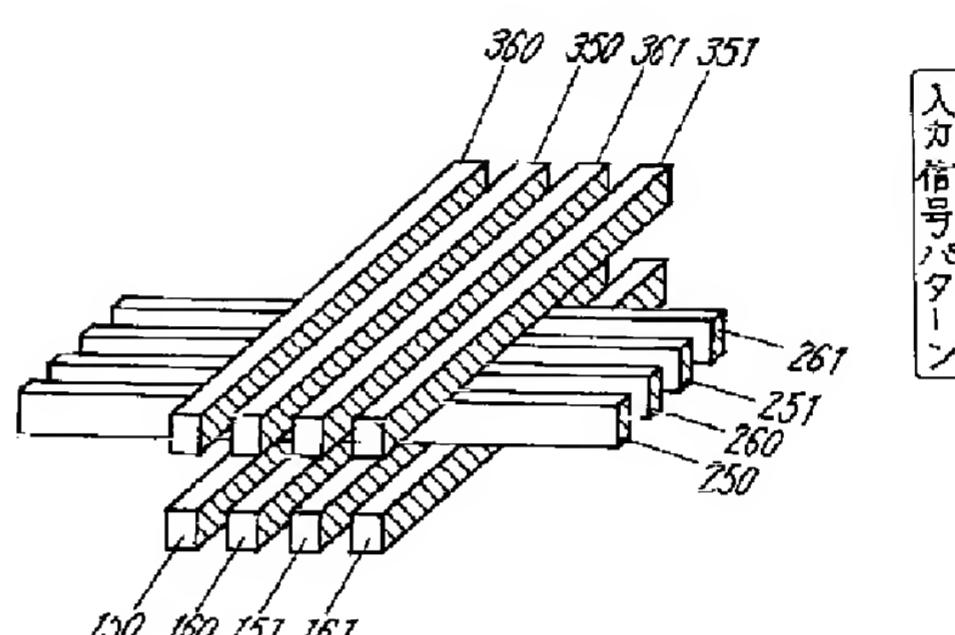
ba1、ba2、bb1、bb2、bc1、bc2 バッファ

w1～w3 信号線

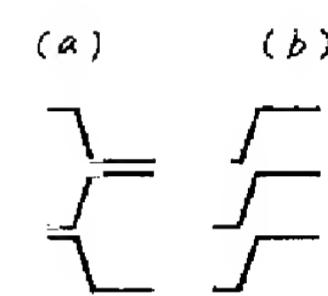
【図1】



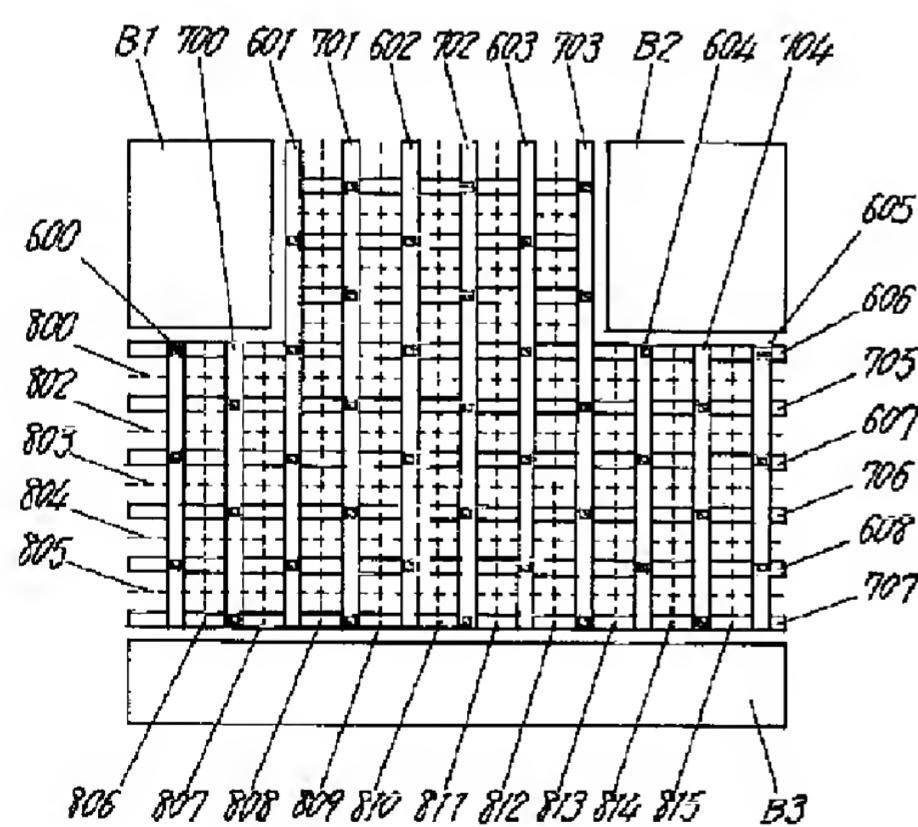
【図2】



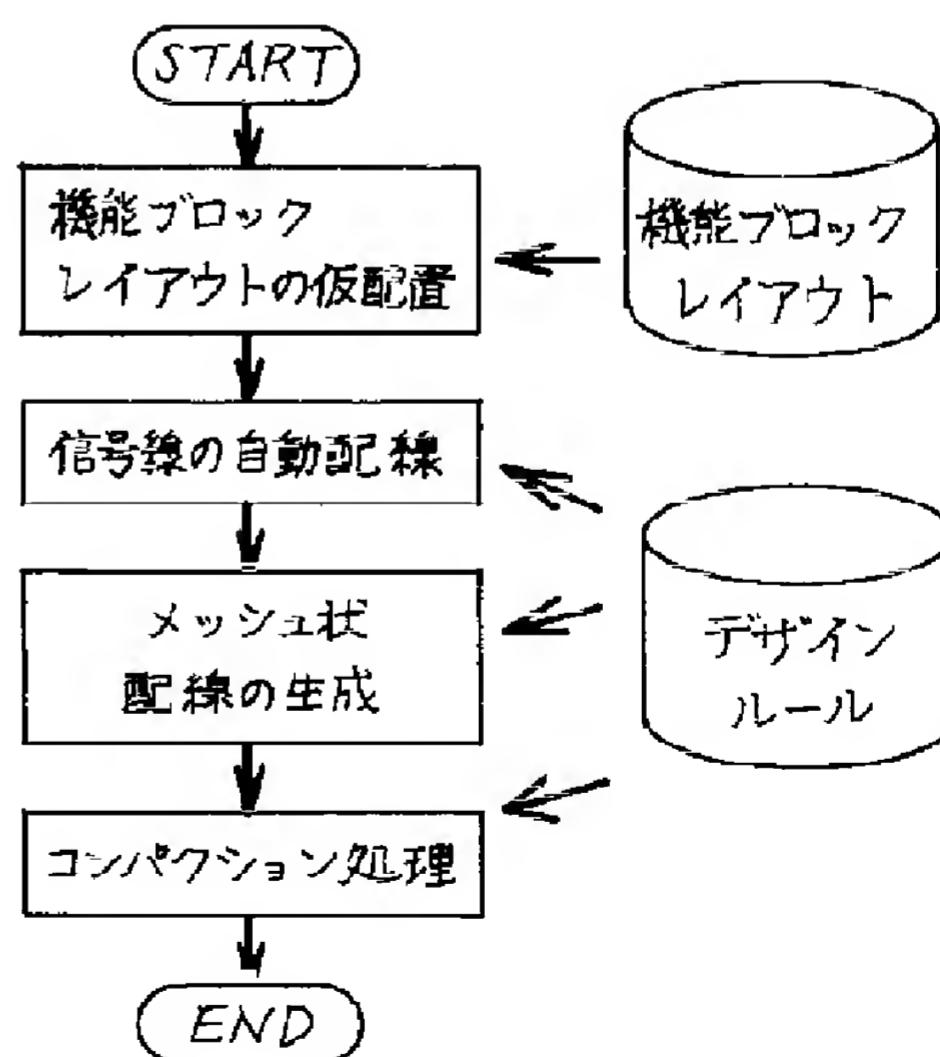
【図8】



【図3】

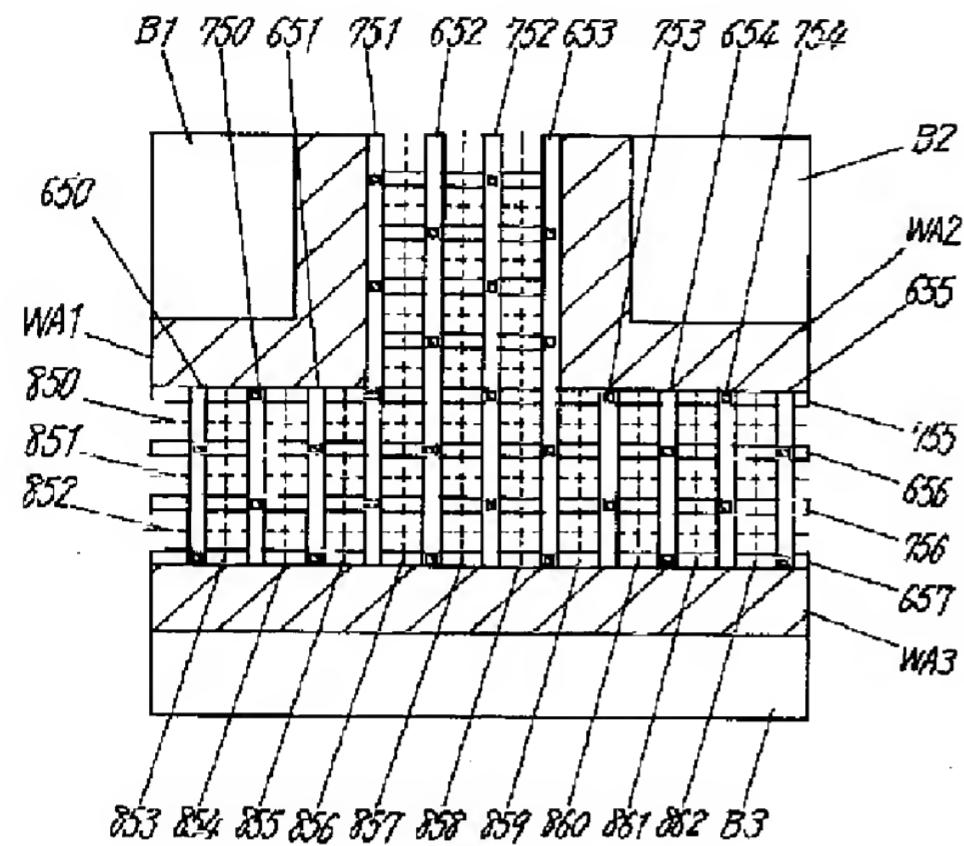


【図4】

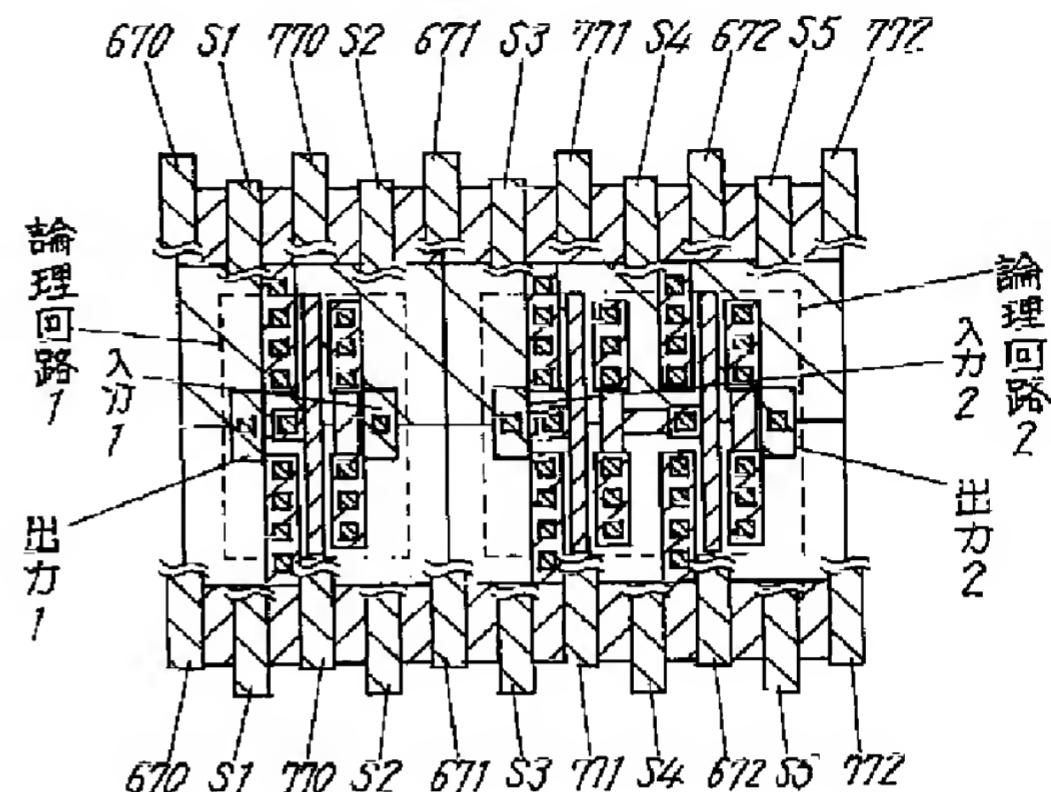


!(5) 001-127162 (P2001-127162A)

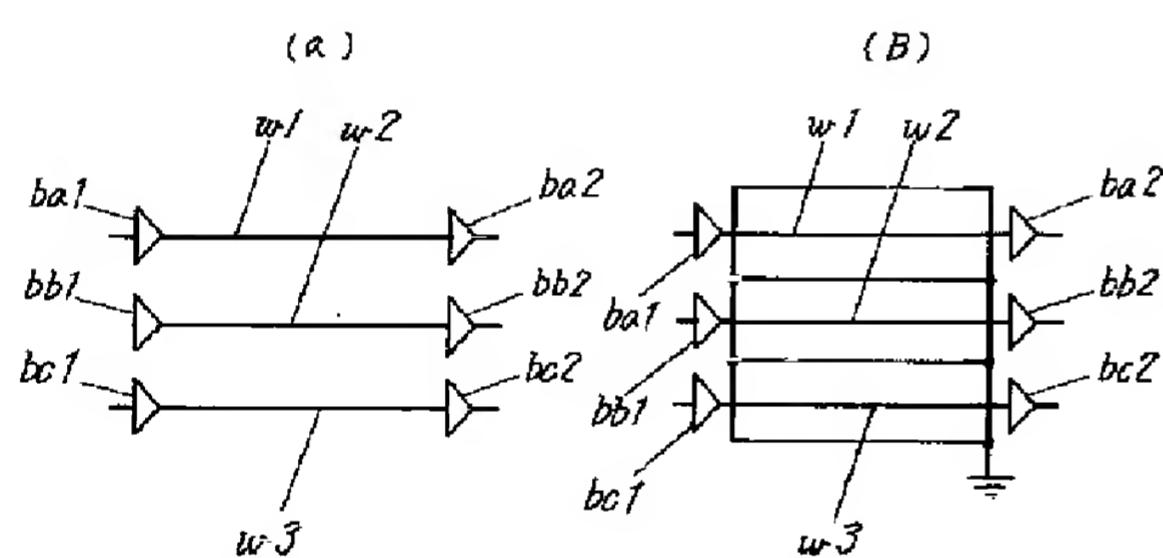
【図5】



【図6】



【図7】



【図9】

